

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 2 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 7 1 7 5 1
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 7 1 7 5 1]

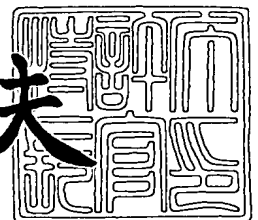
出 願 人 株式会社ルネサステクノロジ
Applicant(s):

U. S. Appln. Filed 12-12-03
Inventor: M. Yamaoka et al
Mattingly Stanger & Malor
Docket NIT-404

2 0 0 3 年 1 0 月 2 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 7 7 3 7

【書類名】 特許願

【整理番号】 NT02P0877

【提出日】 平成14年12月24日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/407
H01L 27/11

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 山岡 雅直

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 長田 健一

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 柳沢 一正

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3661-0071

【選任した代理人】**【識別番号】** 100086656**【弁理士】****【氏名又は名称】** 田中 恭助**【電話番号】** 03-3661-0071**【選任した代理人】****【識別番号】** 100094352**【弁理士】****【氏名又は名称】** 佐々木 孝**【電話番号】** 03-3661-0071**【手数料の表示】****【予納台帳番号】** 081423**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【ブルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】

駆動MOSFET、転送MOSFETおよび負荷素子とにより構成されたスタティック型メモリセルが複数配列されたメモリセルアレイにおいて、

前記駆動MOSFETのソース電極に接続されるソース線と接地電位線とを前記メモリセルの動作時には接続し、前記メモリセルのスタンバイ時には非接続となるように制御するスイッチと、

前記ソース線と前記接地電位間に接続されたソース電位制御回路とを有し、

前記メモリセルがスタンバイ時に、前記ソース電位制御回路によりソース電位を接地電位と電源電位との中間電位に設定することを特徴とする半導体記憶装置。

【請求項 2】

前記ソース電位制御回路は、ドレイン電極およびゲート電極が前記ソース線に接続され、ドレイン電極が前記接地電位線に接続されている n チャネル型MOSFETで構成されていることを特徴する請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記ソース電位制御回路は、ドレイン電極およびゲート電極が前記ソース線に接続され、ドレイン電極が前記接地電位線に接続されている n チャネル型MOSFETと、前記ソース線と前記接地電位線とを接続する抵抗素子とから構成されていることを特徴する請求項 1 に記載の半導体記憶装置。

【請求項 4】

前記抵抗素子は、ドレイン電極が前記ソース線に接続され、ソース電極が前記接地電位線に接続され、ゲート電極が前記電源電位線に接続された n チャネル型MOSFETで構成されていることを特徴する請求項 3 に記載の半導体記憶装置。

【請求項 5】

前記スイッチは、ドレイン電極、ソース電極およびゲート電極がそれぞれ前記ソース線、前記接地電位線および前記スイッチを制御する制御信号線に接続され

たnチャネル型MOSFETで構成されたスイッチMOSであることを特徴とする請求項1に記載の半導体記憶装置。

【請求項6】

前記スイッチMOSは、前記メモリセルアレイとデータを読み出す際に動作するセンスアンプとの間、または前記メモリセルアレイとワード線を駆動するワードドライバとの間に配置されていることを特徴とする請求項5に記載の半導体記憶装置。

【請求項7】

前記メモリセルアレイと、前記メモリセルにアクセスを行なうアクセス回路と、前記アクセス回路の動作電位点と電源電位線との間に接続されたスイッチとからなることを特徴とする請求項1に記載の半導体記憶装置。

【請求項8】

前記アクセス回路は、ワード線を駆動するワードドライバと、
前記ワードドライバのハイの動作電位点と電源電位線との間に配置された第1のスイッチと、
前記メモリセルにアクセスする回路のうちでワードドライバを除く回路のロウの動作電位点と接地電位線との間に配置された第2のスイッチとからなることを特徴とする請求項7に記載の半導体記憶装置。

【請求項9】

ワード線とビット線との交点に設けられたスタティック型メモリセルがアレイ状に配置されたメモリ回路において、

前記メモリセルは駆動MOSFET、転送MOSFETおよび負荷MOSFETとにより構成され、

前記駆動MOSFETのソース電極に接続されたソース線の電位を制御するソース電位制御回路を有し、

前記メモリ回路の動作時には、非選択のメモリセルに接続されたワード線に負電圧を印加し、前記メモリ回路のスタンバイ時にはワード線を接地電位にすることを特徴とする半導体記憶装置。

【請求項10】

前記メモリ回路の読み込み時には、前記ソース電位は接地電位に設定され、前記メモリ回路の書き込み時またはスタンバイ時には、前記ソース電位制御回路により前記ソース線電位を接地電位と電源電位との中間電位に設定することを特徴とする請求項 9 に記載の半導体記憶装置。

【請求項 1 1】

前記転送MOSFETのドレイン電極はビット線に接続され、前記ソース線が接地電位と電源電位との中間電位となる時に、前記ビット線の電位が電源電位となることを特徴とする請求項 9 に記載の半導体記憶装置。

【請求項 1 2】

前記駆動MOSFETのしきい値電圧が前記転送MOSFETのしきい値電圧より高いことを特徴とする請求項 9 に記載の半導体記憶装置。

【請求項 1 3】

前記転送MOSFETおよび前記駆動MOSFETのしきい値電圧の絶対値が前記負荷MOSFETのしきい値電圧の絶対値より低いことを特徴とする請求項 9 に記載の半導体記憶装置。

【請求項 1 4】

前記メモリ回路が設けられた基板上に、第 1 のしきい値電圧を有する第 1 の MOSFETおよび前記第 1 のしきい値電圧より高い第 2 のしきい値電圧を有する第 2 の MOSFETを含む論理回路が混載され、

前記転送MOSFETは前記第 1 のMOSFETを用い、前記駆動MOSFETは前記第 2 のMOSFETを用いることを特徴とする請求項 9 に記載の半導体記憶装置。

【請求項 1 5】

1 対の駆動MOSFET、1 対の転送MOSFETおよび 1 対の負荷素子とにより構成されたスタティック型メモリセルがアレイ状に配置されたメモリアレイにおいて、

前記メモリアレイの一端でビット線と垂直な方向に前記メモリセルが配置された第 1 領域を設け、

前記第 1 領域に配置されたMOSFETのゲート層の一部は、接地電位に接続され、前記ゲート層の他の部分はメモリセルの動作電位を制御する信号線に接続されていることを特徴とする半導体記憶装置。

【請求項 16】

前記メモリセルのレイアウトパターンにおいて、

前記 1 対の駆動MOSFET、前記 1 対の転送MOSFETおよび前記 1 対の負荷素子のパターンが、それぞれ前記メモリセルのパターン内の所定の点を中心点として点対称に配置されていることを特徴とする請求項 15 に記載の半導体記憶装置。

【請求項 17】

前記第 1 領域に形成されたMOSFETの一部は、請求項 1 に記載のスイッチに用いられることを特徴とする請求項 15 に記載の半導体記憶装置。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

この発明は、スタティックメモリ (SRAM) 回路が半導体チップ上に集積された半導体集積回路に関する。より特定的には、この発明はSRAM集積回路装置の待機時電流を低減する構成、およびSRAM集積回路装置を低駆動電圧で動作させる構成に関する。

【0002】**【従来の技術】**

特許文献 1 では、SRAMのメモリセル内の駆動トランジスタのソース線電位を抵抗を用いて接地電位よりも上昇させることによって待機時電流を低減する回路が開示されている。特許文献 2 では、ダイオードを用いてSRAMのメモリセル内の駆動トランジスタのソース線電位を抵抗を用いて接地電位よりも上昇させることによって待機時電流を低減する回路が開示されている。特許文献 3 では、SRAM回路中のアクセスしないメモリセルのワード線には接地電位よりも低い電圧を印加することでメモリセルの転送MOSを介して流れるリーク電流を低減する回路が開示されている。

【0003】**【特許文献 1】**

特開平7-296587号

【特許文献 2】

特開2002-197867号

【特許文献3】

特開平5-120882号

【0004】

【発明が解決しようとする課題】

LSI (Large Scale Integrated circuit: 大規模集積回路) の低消費電力化およびLSI中のトランジスタの微細化により、LSIの電源電圧が低下している。たとえば、 $0.13\mu\text{m}$ プロセスでは、電源電圧 1.2V で動作するLSIが製造される。LSIの電源電圧を下げる場合には、回路性能(回路の動作速度)を低下させないために、トランジスタのしきい値電圧(V_{th})を下げてトランジスタの電流を増加させており、たとえば、 $0.13\mu\text{m}$ プロセスでは、 V_{th} が 0.4V 程度であるMOSトランジスタが使用される。 V_{th} が低いトランジスタでは、サブスレショルド電流と呼ばれるトランジスタがオフ状態の場合にソース・ドレイン間に流れる電流が大きくなる。この電流は、そのトランジスタで構成された回路が動作していない場合にも流れ続け、LSIが通電されているが動作していない状態(以降スタンバイ状態)での消費される電流となる。データを記憶しないロジック回路ではスタンバイ時に電源を遮断することでリーク電流を抑えることが可能となるが、スタンバイ状態でもデータを記憶しておく必要のあるメモリ回路ではスタンバイ状態でも電源を遮断することができない。そのため、回路を構成するトランジスタの V_{th} が下がるとサブスレショルド電流が増加しスタンバイ時の消費電力が増加してしまうという問題がある。

【0005】

従来は、バックゲートバイアスを印加することによりMOSトランジスタの V_{th} を高くすることによって、リーク電流を低減する技術が有効とされていたが、微細化プロセスで製造されたMOSトランジスタでは、バックゲートバイアスを印加すると、ドレイン-バックゲート間の電位が高くなりジャンクションリークと呼ばれるリーク電流が増加する場合がある。この電流が増加した場合、バックゲートバイアスによって V_{th} を上昇させてサブスレショルドリークが減少してもジャンクションリークが増加してリーク電流が低減できない場合がある。SRAM回路に

において、メモリセル内の駆動MOSのソース線の電位を接地電位よりも上昇させることにより、転送MOS および駆動MOSに基板バイアス効果が加わり、リーク電流を大きく削減できる。この場合、基板バイアスが印加された状態にはなるがドレイン-バックゲート間の電位が基板バイアスをかけていない状態と変わらないためジャンクションリーク電流が増加することはない。

【0006】

しかし、電位を制御する回路で電流を消費する、電位を制御する回路を電流消費の少ない回路とした場合にはトランジスタの製造ばらつきを大きく受ける回路となる、などの理由によりリーク電流の削減効果が低くなってしまうという問題がある。

【0007】

MOSトランジスタの製造プロセスが微細化するとそれとともにトランジスタの V_{th} ばらつきが増加する傾向にある。 V_{th} ばらつきが大きいSRAM回路では、転送MOSの V_{th} が上昇し負荷MOSの V_{th} が低下した場合、メモリセルへの書き込みができないという問題も発生する。

【0008】

本発明は、SRAM回路のリーク電流を低減し、SRAM回路を高速に動作させることを可能とする回路技術を提供することを目的としている。

【0009】

【課題を解決するための手段】

SRAM回路において、ソース線電位を制御すればリーク電流を削減することが可能となる。ソース線電位を制御する回路を、ソース線の電位を接地電位に固定するためのスイッチ、電位を決めるためのダイオード接続されたMOSトランジスタおよび常時電流を流す抵抗の3つの素子で構成することで、制御回路で電力を消費することなくメモリセル内のソース線電位を制御することが可能となる。

また3つの素子を使用することで製造プロセスばらつきの影響を考慮したソース線電位制御回路とすることが可能となる。

SRAMメモリセルにデータを書き込む場合に、スタンバイ時同様にソース線を接地電位よりも上昇させる。これにより、メモリセル内の転送MOSの V_{th} が上昇し負

荷MOSの V_{th} が低下している場合にも負荷MOSのゲート電圧が接地電位よりも上昇していることからコンダクタンスが大きくなり正常に書き込み可能となる。

【0010】

【発明の実施の形態】

＜実施例1＞

図1に本発明を用いた場合のSRAM回路の概略を示す。図1において、MCはSRAMのメモリセル、sslはメモリセル内の駆動MOSのソース線、ssは接地電位線、SW1は制御信号relによってオン・オフされるスイッチ回路、R1は抵抗素子、M1はsslとss間にダイオード接続されたMOSトランジスタを表している。図2に図1中のMCの構成を示す。MT1およびMT2は転送MOS、MD1およびMD2は駆動MOS、ML1およびML2が負荷MOS、wdがワード線、bltおよびblbがビット線、ddはメモリセル内の負荷MOSのソース電位線すなわち電源電位線、bpがメモリセル内のp型MOSの基板端子に接続される線、bnがメモリセル内のn型MOSの基板端子に接続される線、sslがメモリセル内の駆動MOSのソース電位線を表している。図1において、SRAM回路が動作している時はスイッチSW1を閉じることによってsslの電位が接地電位となり、一般的なSRAMの動作と同じ動作となる。SRAM回路が動作せずデータを記憶する状態では、制御信号relによってスイッチSW1を開く。この時、sslの電位は、メモリセルのリーク電流と抵抗R1を流れる電流およびダイオード接続されたMOSトランジスタM1の電流の関係から決定される。また、スイッチSW1をオフ状態でもリーク電流があるMOS等で構成した場合には上記の3つの素子の電流に加えスイッチSW1のオフ電流が関係する。sslの電位を V_{ssl} 、電源電位を V_{dd} とすると、 $V_{dd}-V_{ssl}$ がSRAMのメモリセルがデータを保持できる電圧より高い電圧であれば、リーク電流を削減しながらデータ保持できる。

【0011】

ここで例として、リーク電流が削減される効果を電源電圧 V_{dd} が1.0Vの回路で、sslの電位 V_{ssl} が0.4Vとなった場合について、図3の回路を用いて説明する。スタンバイ状態ではビット線を電源電位にすることによりリーク電流が削減できるため、図3の回路でもビット線電位は電源電位となっている。これは、図中には書かれていないが、ビット線をプリチャージする回路を用いて容易に実現できる

。図3は、図1の回路にスタンバイ状態の各ノードの電位を加えたものである。

【0012】

図3中には、6つのMOSトランジスタが書かれているが、そのうち、MT2、MD1、ML2はオン状態であるためリーク電流を考慮する必要はない。転送MOSであるMT1に関しては、ソース電位が0.4V、ゲート電位が0V、ドレイン電位が1.0V、バックゲート電位が0Vとなっている。この状態では、ソース-バックゲート間に正の電圧が印加されているため基板バイアス効果がかかりサブスレッショルドリーク電流が低減できる。また、この状態では、ゲート-ソース間の電圧が負の値となるためさらにサブスレッショルドリークは低減される。0.13 μm プロセスで製造されたトランジスタのリーク電流は、このMT1の電位の状態とすることで、ソース電位が0Vの場合と比較して10000分の1程度に低減することが可能となる。駆動MOSであるMD2に関しては、ソース電位が0.4V、ゲート電位が0.4V、ドレイン電位が1.0V、バックゲート電位が0Vとなっている。この状態はドレイン-ソース間の電圧が0.6Vで0.4Vの基板バイアスが印加された状態である。0.13 μm プロセスで製造されたトランジスタのリーク電流は、このMD2の電位の状態とすることで、ソース電位が0Vの場合と比較して100分の1程度に低減することが可能となる。負荷MOSであるML1に関しては、ソース電位が1.0V、ゲート電位1.0V、ドレイン電位が0.4V、バックゲート電位が1.0Vとなっている。この状態はソース-ドレイン間の電圧が0.6Vでトランジスタがオフしている状態である。よって、基板バイアス効果はないため、サブスレッショルドリーク電流は、このML1の電位の状態とすることで、ソース電位が0Vの場合と比較してソース-ドレイン間の電圧に比例して低減され3/5程度となる。このように、ソース線sslの電位を制御することでメモリセル内のnMOSトランジスタのサブスレッショルドリーク電流を大きく低減することができる。ここでは、Vsslが0.4Vとなる場合について説明したが、この電位が高ければ高いほどリーク電流低減効果は大きくなり、低ければ低いほどリーク電流の低減効果は小さい。しかし、Vsslの電位が高ければ高いほど、SRAMのメモリセルが記憶しているデータは壊れやすくなるため、リーク電流の目標値が決まっていれば、その目標値を満たす最低のVsslとすることが望ましい。逆に考えれば、メモリセルがデータを記憶できる最大のVsslがトランジスタの製造プロセスか

ら決まれば、 V_{ss1} の値をそれ以上にはできない。

【0013】

図4にスタンバイ時と動作時の制御信号relと V_{ss1} の電位の関係を示す。図中で、standbyはスタンバイ時を示しており、relが0Vに V_{ss1} が接地電位よりも高く電源電位よりも低い電位となっている。図4では、一例として0.4Vとなっている場合を示している。activeは動作時を示しており、relが電源電位となり、 V_{ss1} が接地電位となっている。これによって、スタンバイ時には V_{ss1} が0.4Vとなってリーク電流が低減でき、動作時には V_{ss1} が0Vとなって正常にSRAM回路が動作する。

【0014】

図1において v_{ss1} の電位 V_{ss1} の最適な値について説明する。通常、LSIはトランジスタの特性ばらつきを考慮して設計され、最もばらつき条件の悪い場合にも要求される仕様を満たすように設計される。特にLSIのスタンバイ時の消費電力となるリーク電流はトランジスタのしきい値ばらつきの影響を大きく受け、微細化されたトランジスタの製造プロセスでは、同じ回路を同じ製造プロセスで製造しても、トランジスタの V_{th} が最大となるとときと最小となるとときでは、リーク電流の値が1000倍程度異なる。したがって、リーク電流がもっとも大きくなる条件、つまりトランジスタの V_{th} がもっとも低い状態でLSIが製造された場合にもリーク電流の要求性能を満たすように設計した場合には、もっともリーク電流の少ない条件、つまりトランジスタの V_{th} がもっとも高い状態でLSIが製造された場合には要求性能の1000分の1程度のリーク電流しか流れずかなりオーバースペックのLSIとなってしまふ。よって、リーク電流がもっとも大きい条件であるトランジスタの V_{th} が低い場合には V_{ss1} の電位をできるだけ高くし、トランジスタの V_{th} が高い場合には V_{ss1} の電位をできるだけ低くするのが、リーク電流の仕様を満たし、さらにメモリセルが保持しているデータが壊れにくくなる回路であるといえる。とくに、SRAMのメモリセルのトランジスタの V_{th} が高い場合には、メモリセルのデータが壊れやすくなるため V_{ss1} の電位を低くする必要がある。

【0015】

図1の回路をLSI上に作る場合には、図5の回路のように、図1中のスイッチをトランジスタM2でつくり、図1中の抵抗を常時オン状態のトランジスタM3で置き換

えて作る構成が考えられる。図5の回路でスタンバイ時には、 V_{ss1} の値は、メモリセルMCのリーク電流とトランジスタM1、M2およびM3の電流値で決まる。ここで、メモリセルの電流はリーク電流であるため、しきい値電圧が変動すると大きく変動する。たとえば、 V_{th} が100mVずれると、リーク電流の値は10倍以上変化する。トランジスタM1およびM2についても、トランジスタがオフした状態となっており、メモリセルのリーク電流同様、 V_{th} の変動に対して大きく電流が変化する。これにたいして、トランジスタM3はオン状態であるため、 V_{th} が変動した場合に電流の変化が小さい。たとえば、 V_{th} が100mV変動した場合、電流は2割程度変動する。図5の回路の動作を図6(a)および図6(b)を用いて説明する。R2、R3、R4、R5がそれぞれメモリセルのリーク電流による抵抗成分、トランジスタM2のリーク電流による抵抗成分、トランジスタM3のオン電流による抵抗成分、トランジスタM1のリーク電流による抵抗成分を示しており、抵抗値の t はある定数を表している。図5の回路において、トランジスタの V_{th} が低い場合には、各抵抗値は、図6(a)の状態となっており、 $ss1$ の電位 V_{ss1} は約0.4Vとなる。トランジスタの V_{th} が高くなり、リーク電流値が図6(a)の状態よりも100分の1程度になっている状態を図6(b)に示す。R2、R3、R5はリーク電流による抵抗成分であるため図6(a)と比較して100倍程度抵抗値が大きくなり見え、R4はオン電流による抵抗成分であるため、抵抗値はほとんど変化しないと考えられる。この場合、 $ss1$ の電位は、約0.07Vとなる。つまりリーク電流が少なく V_{ss1} の値を高くする必要のない場合には、図5の回路を用いることにより必要以上に V_{ss1} の電位は上がらないことがわかる。このような回路構成とすることで、リーク電流を低減する必要のあるトランジスタ特性の場合には V_{ss1} を高くしてリーク電流を低減し、リーク電流が気にならないトランジスタ特性の場合には、メモリセルのデータが壊れにくい V_{ss1} の値にすることが可能となる。

【0016】

図5の回路をメモリセルが64kbit程度集積されたメモリとした場合の一例として、M1、M2、M3のMOSトランジスタのゲート幅/ゲート長は、それぞれ $0.2\mu\text{m}/10\mu\text{m}$ 、 $480\mu\text{m}/0.1\mu\text{m}$ 、 $2.2\mu\text{m}/0.1\mu\text{m}$ で構成することができる。この場合のメモリセルを構成するトランジスタサイズは、駆動MOS、転送MOS、負荷MOSの順にそ

それぞれ $0.28\mu\text{m}/0.1\mu\text{m}$ 、 $0.2\mu\text{m}/0.1\mu\text{m}$ 、 $0.18\mu\text{m}/0.1\mu\text{m}$ である。このトランジスタサイズを見てもわかるように、sslとssを接続するスイッチがもっとも大きいサイズとなっており、実際にシリコン上にレイアウトする場合に大きい面積を必要とする。図7に、図5の回路のレイアウト図の一例を示す。図7の回路は、一般的なSRAM回路の一例で、MAがメモリセルがアレイ状に並べられたメモリアレイ、WDDRがワードドライバ等のワード線を制御するための回路、AMPがセンスアンプ、ライトアンプ等のビット線を制御する回路、CONTがSRAM回路の動作を制御する信号を発生するための制御回路、SLSWがsslとssを接続するスイッチM2のレイアウト、relはM2を制御するための信号を示している。通常、M2を制御するrelは制御信号を発生する回路CONTから発生されと考えられるため、図7のようにSLSWとCONTを近い場所にレイアウトすることにより動作速度が速くなる。図7では、MAとAMPの間にSLSWを配置したが、メモリの構成によっては、MAとWDDRの間に配置する構成も考えられる。また構成によっては、SLSWを2分割して、MAとAMPの間、およびMAとWDDRの間に配置する構成も考えられる。

【0 0 1 7】

図8に図5の回路のレイアウトの別の一例を示す。図8の回路は、一般的なSRAM回路の一例で、MAがメモリセルがアレイ状に並べられたメモリアレイ、WDDRがワードドライバ等のワード線を制御するための回路、AMPがセンスアンプ、ライトアンプ等のビット線を制御する回路、CONTがSRAM回路の動作を制御する信号を発生するための制御回路、SLSWがsslとssを接続するスイッチM2のレイアウト、relはM2を制御するための信号を示している。図8では、図7と異なりSLSWが2つに分割されてメモリアレイの上下に配置されている。通常sslには、sslの配線の寄生容量やメモリセルの駆動MOSについている拡散容量等大きな容量がついている。さらにsslの配線は抵抗にもなるためsslを接地電位よりも高い電位から接地電位まで下がるのに時間がかかる。よって、図7の構成の場合にはメモリアレイのもっとも上、つまりスイッチからもっとも遠い場所にあるメモリセルのsslが接地電位になるのには時間がかかる。図8の構成の場合には、メモリアレイの上下からsslにたまった電化を放電するため、メモリアレイ内でsslが放電される時間に差が生じにくく、メモリの動作タイミングの設計が容易になる。図8では、メモ

リアレイMAの上下にスイッチSLSWを配置したが、構成によってはMAの左右に配置する構成も考えられる。また、スイッチを4つに分割してMAの上下左右に配置する構成も考えられる。さらにスイッチSLSWを多数に分割して、メモリアレイ内に一定の間隔で埋め込む構成も考えられる。

【0018】

現在のSRAMでは、メモリアレイの端にダミーセルと呼ばれるセルが配置される。ダミーセルは、通常のメモリセルとほぼ同じ構成になっている。現在LSIの製造に用いられる微細製造プロセスでは、トランジスタのパターンを作る際に近接するパターンによって形状が変化する。ダミーセルを用いない場合には、アレイの端にあるメモリセルの形状とアレイの中にあるメモリセルの形状が異なってしまう、メモリセルの性能が配置する場所によって変わってしまう。ここで、ダミーセルを用いることによって、メモリアレイの端にあるメモリセルもさらにその外側のダミーセルの影響でメモリアレイの中にあるメモリセルと同形状となり、性能がそろふ。ダミーセルは形状をメモリセルの形状をそろえるために使われる回路であるため、回路動作には用いられていない。よって、図5中のスイッチM2をダミーセルを用いて作ることで、面積の増加なくスイッチM2を回路中に作りこむことができる。

【0019】

図9にダミーセルを用いて図5中のスイッチM2を作った場合のメモリセルアレイ端のレイアウト図を示す。図中の細い斜線領域が拡散層を、濃い斜線の正方形の領域が拡散層のコンタクトを、横方向に伸びる長方形の領域がゲートポリシリコンを表す。また細い点線で囲まれたMCが1つのメモリセルを表し、1つのメモリセルは太い点線で囲まれた6つのMOSトランジスタで構成される。メモリセルを構成するトランジスタのうちTrMOSは転送MOSを表し、ドレインがビット線に、ゲートがワード線に、ソースがメモリセル内のデータを保持する記憶ノードに、バックゲートがpウエルにそれぞれ接続されている。DrMOSは駆動MOSを表し、ドレインがメモリセル内のデータを保持する記憶ノードに、ゲートはドレインが接続していないメモリセル内のデータを保持する記憶ノードに、ソースはsslに、バックゲートがpウエルにそれぞれ接続されている。LdMOSは負荷MOSを表し、ドレイン

がメモリセル内のデータを保持する記憶ノードに、ゲートはドレインが接続していないメモリセル内のデータを保持する記憶ノードに、ソースが電源Vddに、バックゲートがnウェルにそれぞれ接続されている。DCはダミーセルを表す。図中のVssは、接地電位となるノードを表しており、ダミーセル内の活性化しないMOSトランジスタのゲートポリシリコン、および図5中のスイッチM2のsslのノードと接続されている。relは、図5中のスイッチM2を制御する信号relに相当するノードを表す。ダミーセル内の駆動MOSおよび転送MOSに相当するMOSトランジスタで図5中のスイッチM2が構成されており、そのゲート電極がrelとなっている。sslはメモリセルアレイ内のメモリセルの駆動MOSのソース線が接続されているノードである。

【0020】

図10に、メモリセルを構成する各トランジスタのしきい値電圧の関係を示す。同時に、システムLSIのようにロジック回路とSRAM回路を混載した場合にロジック回路を作るためのトランジスタのしきい値電圧の関係を示す。lvt/hvtの列がロジック回路のVthを表しており、2種類のVthを使えるプロセスを想定しており、lvtが低いVth、hvtが高いVthを表している。case1は、ロジック回路で用いられる2種類のトランジスタのうちVthの高いトランジスタと等しいVthのトランジスタをSRAMのメモリセル内のすべてのトランジスタで使用する組み合わせである。現在一般に用いられている組み合わせであり、メモリセル内のnMOSトランジスタのリーク電流は、sslの電位を制御することで大きく削減できる。pMOSトランジスタのリーク電流はsslの電位に比例して低減される。pMOSトランジスタのリーク電流をさらに削減する必要がない場合にはこの組み合わせが一般的である。pMOSトランジスタのリーク電流を削減する必要がある場合には、sslを制御する以外にリーク電流を削減する手段を用いる必要がある。case2は、case1のうち負荷MOSにロジックで用いられる2種類のVthのうちの高いVthよりもさらに高いVthのトランジスタを使用する組み合わせである。SRAMメモリセル内のnMOSトランジスタのリーク電流はVsslを制御して低減し、pMOSトランジスタのリーク電流は高いVthのMOSトランジスタを用いることで低減している。この組み合わせではリーク電流は大きく低減できるが、負荷MOS 用に高いVthのMOSが必要となるため、ca

selと比較して製造コストは増加する。case3は、負荷MOSに加え駆動MOSの V_{th} もロジック回路で用いられるトランジスタの V_{th} よりも高い V_{th} のトランジスタを使用する組み合わせである。SRAMメモリセル内の転送MOSのリーク電流は V_{ss1} を制御して低減し、駆動MOSのリーク電流は V_{ss1} を制御するとともに V_{th} を高くすることにより低減し、pMOSトランジスタのリーク電流は高い V_{th} のMOSトランジスタを用いることで低減している。 V_{ss1} を制御する方式では、駆動MOSのリーク電流の削減効果は転送MOSの削減効果よりも小さいため、 V_{th} を高くすることで補っている。この組み合わせではcase2よりもさらにリーク電流を大きく低減できるが、駆動MOSおよび負荷MOS用に高い V_{th} のMOSが必要となるため、case2と比較して製造コストは増加する。case4は、転送MOSにはロジック回路で用いられるトランジスタのうち V_{th} の低いトランジスタと等しい V_{th} のトランジスタを用い、駆動MOSにはロジック回路で用いられるトランジスタのうち V_{th} の高いトランジスタと等しい V_{th} のトランジスタを用い、負荷MOSにロジック回路で用いられるトランジスタの V_{th} よりも高い V_{th} のトランジスタを使用する組み合わせである。転送MOSの駆動力はSRAM全体の速度に大きく影響するため、転送MOSの V_{th} は低ければ低いほどSRAM回路の速度は速くなる。 V_{ss1} を制御すれば転送MOSのリーク電流は他のトランジスタと比較して大きく削減できるため、case2と比較してもリーク電流の増加は少ない。そのため、速度が速く、リーク電流も少ない組み合わせである。

【0021】

図11にSRAMの周辺回路を含めた電源関係の概略の一例を示す。MCはSRAMメモリセル、MAはメモリセルがアレイ状に並んだメモリアレイ、WDRはワードドライバ、DECはデコーダ、WAはプリチャージ回路およびライトアンプ、YSはカラムデコーダおよびYスイッチ、SAはセンスアンプ、CONTはSRAM回路の制御回路、bltおよびblbはビット線、wlはワード線、ddは電源電位線、ssは接地電位線、ss1はメモリセル内の駆動MOSのソース線、ddpはワードドライバの電源電位線、sspはワードドライバを除いたSRAMの周辺回路の接地電位線、MS1～MS6はss1、ddpおよびsspの各電源線の電位を制御するスイッチMOSトランジスタ、actmはスイッチMS1を制御する信号、actwはスイッチMS4を制御する信号、actpはスイッチMS6を制御す

る信号を表している。ここで、図11において、ワードドライバWDR、デコーダDEC、プリチャージ回路およびライトアンプWA、カラムデコーダおよびYスイッチYS、センスアンプSAおよびSRAM回路の制御回路CONTを合わせてアクセス回路と呼ぶ。MS1、MS2およびMS3はそれぞれ図1中のSW1、M1、R1の役割を果たし、スタンバイ時にactmによってMS1をオフ状態にすることによってsslの電位を制御してメモリセルのリーク電流を低減する。MS4およびMS5はワードドライバの電源電位線ddpを制御してスタンバイ時にワードドライバのリーク電流を低減する。

【0022】

図12を用いてddpを制御してワードドライバのリーク電流を低減する方法について説明する。図12においてVddはddの電位で電源電圧、Vddpはddpの電位、Vssはssの電位で接地電位、wlはワード線を表している。スタンバイ状態では、ワードドライバの入力は電源電圧Vddとなっており、これによってワードドライバ中のnMOSトランジスタがオン状態になり接地電位Vssが出力されワード線がVssつまり0Vとなっている。これによって、メモリセルはアクセスされない状態になっている。この状態ではワードドライバ中のpMOSトランジスタがオフ状態となっており、このトランジスタを流れるサブスレッショルド電流がリーク電流となるため、この電流を低減する必要がある。例えば、電源電圧が1.0Vの場合にVddpを0.5V程度に下げた場合の電源関係を図12中に示されている。ゲート電位が1.0V、ソース電位が0.5V、ドレイン電位が0V、バックゲート電位が1.0Vとなっている。そのため、pMOSトランジスタは、ソース-ドレイン間電位が0.5Vとなり、0.5Vの基板バイアスがかかった状態となりさらにゲート-ソース間に0.5Vが印加された状態となっており、ソース電位が1.0Vの状態と比較して10000分の1程度と大きくリーク電流が低減できる。図11の回路において、MS4とMS5の2つのpMOSトランジスタを用いることでddpの電位をスタンバイ時に0.5V程度にすることができる。MS4はactwによってスタンバイ時にオフ状態になる。MS5は常時オン状態のpMOSトランジスタで、スタンバイ時にddpの電位が0.5Vになる程度の電流を流し続けている。ここではスタンバイ状態のddpの電位を0.5V程度と設定した。これは、ワードドライバのリーク電流が10000分の1程度に減少できれば充分リーク電流が低減できたと考えられ、その場合には、ddpの電位が高ければ高いほどスタンバ

イ状態からアクティブ状態への復帰に時間がかからないためである。よって、さらにリーク電流を低減する必要がある場合には、スイッチMOSであるMS4のみをもちいてddpの電位をVssに近い電位まで下げるという構成も考えられる。

【 0 0 2 3 】

図11において、MS6はワードドライバを除いたSRAMの周辺回路の接地電位側の電源線sspの電位を制御して、スタンバイ時に周辺回路のリーク電流を低減するためのスイッチMOSである。スタンバイ時には、actpという制御信号によりMS6がオフ状態となってsspの電位がほぼ電源電位であるVddに近くなり、周辺回路のリーク電流を低減する。ワードドライバ以外の周辺回路では、nMOSトランジスタおよびpMOSトランジスタのリーク電流を削減する必要があるため、ワードドライバのリーク電流を削減した場合のようにsspの電位を0.5V程度にしたのではpMOSトランジスタのリーク低減効果がない。したがって、スタンバイ状態のsspの電位はVddに近い電位まで上昇させる必要がある。

【 0 0 2 4 】

図13にスタンバイ状態とアクティブ状態の制御信号と各電源線の電位の関係を示す。図中で、standbyはスタンバイ状態を、activeは動作状態を示している。Vssl、Vddp、Vsspはそれぞれssl、ddp、sspの電位を示している。スタンバイ状態には、actm、actw、actpの信号がそれぞれロウ、ハイ、ロウとなっており、図11中のスイッチMOSであるMS1、MS4、MS6がオフ状態となる。これにより、ssl、ddp、sspの電位がそれぞれ0.4V、0.5V、1.0V程度となって各回路のリーク電流が低減された状態となる。回路の動作状態では、actm、actw、actpの信号がそれぞれハイ、ロウ、ハイとなっており、図11中のスイッチMOSであるMS1、MS4、MS6がオン状態となる。これにより、ssl、ddp、sspの電位がそれぞれ0V、1.0V、0Vに固定され各回路が動作状態となる。

【 0 0 2 5 】

< 実施例 2 >

SRAM回路を低電圧で動作させるには、構成するMOSトランジスタのVthを下げる必要がある。とくに、転送MOSの駆動力はSRAMの動作速度に大きく影響があるため、電源電圧が低ければ低いほど転送MOSのVthを下げなければ動作速度は大きく

低下する。例えば、図10のcase4の V_{th} の関係となっている場合には、転送MOSの V_{th} はそれ以外のMOSトランジスタの V_{th} よりも低い。メモリセルからデータを読み出す場合の状態を図14に示す。図14中でMC1はデータを読み出すメモリセル、MC2はアクセスされていないメモリセルでここではMC1とは逆のデータを記憶している。Ionはアクセスされたメモリセルの転送MOSから流れるメモリセル電流、Ioffはアクセスされていないメモリセルの転送MOSを流れるリーク電流を表す。データを読み出す際には、Ionによってビット線blbの電位が電源電圧下げられると同時に、逆のビット線bltもIoffによって電位が下がり、その電位差が一定以上になる時点でセンスアンプが活性化されてデータが読み出される。ここで、Ioffが大きくなると電位差が一定の値になるまでにかかる時間が長くなり読み出し時間が遅くなる。またIoffが大きい場合には最悪の場合ビット線bltの電位がビット線blbの電位よりも下がり正常なデータが読み出せない。ここで低電圧で動作させるために転送MOSの V_{th} が下がった場合には図14中のIoffが大きくなるため、読み出し時間が長くなる、読み出しが正常にできないという問題が発生する。よって、アクセスされていないメモリセルのワード線電位を接地電位よりも低い電位つまり0V以下の電位とすることで転送MOSのリーク電流を下げるができる。しかしこの方法では、チャージポンプ等の0Vよりも低い電圧を生成する電源回路が必要となるため、スタンバイ時には電源回路の消費電力のためにスタンバイ電力が大きくなってしまう。ここで、図1のsslを制御する方法を併用し、動作時にはアクセスされていないメモリセルのワード線電位を負の電位とし、スタンバイ時にはsslの電位を上昇させるという制御をする。sslの電位を上昇させた場合、特に転送MOSのリーク電流を大きく低減することが可能となるため、ワード線の電位を負にしていなくても V_{th} の低い転送MOSのリーク電流を抑えることができる。これにより、ワード線のロウの電位が0Vであってもリーク電流が削減できるため、スタンバイ時にチャージポンプ等の負電位を発生させる電源回路の動作させない状態にできるため、消費電力が削減可能となる。このように転送MOSの V_{th} を下げ、動作時にはワード線のロウの電位を負の電位とし、スタンバイ時にはワード線電位を0Vとしてsslの電位を上昇させることにより、動作時の動作速度が速くスタンバイ時の消費電力の少ないSRAM回路とすることが可能となる。

【0026】

図15に、電源電圧1.0VのSRAMのワード線の電位の変化を示す。non accessはアクセスされていない状態、accessはアクセスされている状態、standbyはスタンバイ状態を示す。メモリセルがアクセスされていない時は、ワード線の電位は負の電位となっており、リーク電流が抑えられた状態となっている。アクセスされた場合には、ワード線が電源電圧と同電位まで上昇し、正常にメモリセルにアクセスできる。スタンバイ時には、ワード線電位を0Vとすることで、負の電位を発生させる回路を動作させる必要がなくなるため消費電力を低減できる。

【0027】

図16に、アクセスされていないメモリセルのワード線電位を負に下げる場合の回路構成を示す。図16において、WDDRはワードドライバ、MAはメモリセルアレイ、Vddは電源電位、Vsslはメモリセルの駆動MOSのソース線電位、Vssは接地電位、Vsswは負に下げた場合のワード線電位を示す。メモリセル内のnMOSトランジスタの基板電位はVssとなっており、これはVsslを制御してリーク電流を低減するためには必須となる。ワードドライバ内のnMOSトランジスタの基板電位は負の電位であるVsswとなる。これは、ワードドライバ内のnMOSの基板電位をVssとした場合、ワードドライバ内のnMOSにフォワードバイアスが印加された状態となり、PN接合に電流が流れ消費電力が大きくなり、ラッチアップが起きやすい構造となる等の問題があるためである。よって、ワードドライバ内のnMOSの基板端子であるpウェルと、メモリセル内のnMOSの基板端子であるpウェルの分離が必須となる。ウェル構造を図17に示す。図17において、WDDRはワードドライバが配置されている領域、MAはメモリセルが配置されている領域、p-wellがpウェル、n-wellがnウェルを示している。ワードドライバ内のpウェルとメモリセル内のpウェルが分離されていることがわかる。現在システムLSIで一般的に用いられる3層ウェルというウェル構造では、pウェルの分離が容易であるため、このウェル構造は最適の構造であるといえる。しかし、3層ウェル構造が使用できない場合にはpウェルの分離が困難となるため、ワード線を負の電位にする方法ではなく、逆にアクセスしている場合に電源電位よりも上昇させて転送MOSの駆動力を上げる等の方法をとる必要がある。

【0028】

<実施例3>

図18にSRAMメモリセルに記憶しているデータの反転データを書き込む際の各ノードの電位を示す。node1およびnode2は記憶保持ノードで、括弧内はデータを書き込む前の電位である。書き込み時には、転送MOSトランジスタMT1を通して記憶保持ノードnode1の電荷が放電され、同時に負荷MOSトランジスタML1からはnode1に電荷が充電される。データの書き込みは、node1の電荷が放電されることによって終了するため、転送MOSの駆動力が大きく、負荷MOSの駆動力が小さい場合に書き込み動作は高速になる。ここで、Vss1の電位を実施例1のスタンバイ状態と同状態の0.4Vにした場合には、ML1のゲート-ソース間電圧が小さくなるため、負荷MOSの駆動力が小さくなるため書き込み動作が高速になる。すなわち、メモリアレイの構造を図1の構造とし、書き込み時およびスタンバイ時にVss1を0.4Vとし、読み出し時にVss1を0Vとすれば、高速書き込みが可能なSRAM回路が実現できる。ここで、スタンバイ状態ではないが、SRAMにアクセスされていない状態ではVss1の値は0.4Vにすれば、動作していないメモリのリーク電流が抑えられるため望ましい。この制御電圧を図19に示す。図19において、writeは書き込み期間、readは読み出し期間、nopはメモリにアクセスしていない期間を示す。

【0029】

図20に、図11のSRAM回路を用いて書き込み時にVss1の値を上昇させる場合の制御信号および電源電位を示す。図20において、writeは書き込み期間、readは読み出し期間、nopはメモリにアクセスしていない期間を示す。図20の制御を行った場合には、SRAMのメモリアレイ部のリーク電流は読み出し時のみ、周辺回路のリーク電流はメモリセルにアクセスしている場合にのみ流れる。よって、SRAMメモリをいくつかのマットに分割し、マット毎にアクセス制御を行えば、動作期間中のSRAMメモリ回路でのリーク電流は大きく低減することが可能となる。たとえば、メモリマットを8つに分割し、アクセスしないマットについては図20中のnop状態とすればSRAM回路の動作時のリーク電流を1/8に低減することが可能である。

【0030】

<実施例4>

図21に本発明を用いた場合のSRAM回路の概略を示す。図21において、MCはSRAMのメモリセル、sslはメモリセル内の駆動MOSのソース線、ssは接地電位線、ddlはメモリセル内の負荷MOSのソース線、ddは電源電位線、SW11およびSW12は制御信号re2によってオン・オフされるスイッチ回路、R11およびR12は抵抗素子、M11はsslとss間にダイオード接続されたnMOSトランジスタ、M12はddlとdd間にダイオード接続されたpMOSトランジスタ、を表している。図21中のMCの構成は図2中のddがddlと置き換わった構造である。示す。図1において、SRAM回路が動作している時はスイッチSW11およびSW12を閉じることによってsslの電位は接地電位、ddlの電位は電源電位となり、一般的なSRAMの動作と同じ動作となる。SRAM回路が動作せずデータを記憶する状態では、制御信号rellによってスイッチSW11およびSW12を開く。この時、sslの電位は、メモリセルのリーク電流と抵抗R11を流れる電流およびダイオード接続されたMOSトランジスタM11の電流の関係から決定される。ddlの電位は、メモリセルのリーク電流と抵抗R12を流れる電流およびダイオード接続されたMOSトランジスタM12の電流の関係から決定される。また、スイッチSW11およびSW12をオフ状態でもリーク電流があるMOS等で構成した場合には上記の素子の電流に加えスイッチSW11およびSW12のオフ電流が関係する。sslの電位をVssl、ddlの電位をVddlとすると、 $Vddl - Vssl$ がSRAMのメモリセルがデータを保持できる電圧より高い電圧であれば、リーク電流を削減しながらデータ保持できる。この例では、スタンバイ状態では、メモリセル内の負荷MOSに基板バイアス効果が印加されるため、図1の回路では大きくリーク電流を低減することができなかった負荷MOSのリーク電流も大きく低減することが可能となる。

【0031】

【発明の効果】

本発明によれば、SRAM回路のリーク電流を低減することが可能となる。また、SRAM回路を高速に動作させることが可能となる。

【図面の簡単な説明】

【図1】

本発明が適用されたSRAM回路の回路構成および電源構成の概略図である。

【図2】

図1中のメモリセルの回路構成および電源構成の概略図である。

【図 3】

図2のメモリセルがスタンバイ状態にある場合の各部分の電位を示した図である。

【図 4】

図1のSRAM回路の制御信号および電源線sslの電位の関係を示した図である。

【図 5】

図1のSRAM回路中のスイッチ回路SW1および抵抗素子R1をMOSトランジスタで構成した回路図である。

【図 6】

電源線sslの電位を決める要因についての説明を補足する図である。

【図 7】

電源スイッチおよびその制御信号のSRAM回路内でのレイアウト位置を示した図である。

【図 8】

電源スイッチおよびその制御信号のSRAM回路内でのレイアウト位置を示した図である。

【図 9】

メモリセル、メモリアレイ端のダミーメモリセルおよび電源スイッチのレイアウトを示した図である。

【図 10】

メモリセル内のトランジスタとメモリと混載されるロジック回路で用いられるトランジスタのしきい値電圧の関係を示した図である。

【図 11】

本発明を適用したメモリセルアレイおよびメモリセルにアクセスするための周辺回路の回路構成および電源構成の概略図である。

【図 12】

ワードドライバの回路図である。

【図 13】

図11の回路中の電源およびその制御信号の電位を示した図である。

【図 1 4】

メモリセルからデータを読み出す際のビット線から流れる電流の概略を示した図である。

【図 1 5】

ワード線の電位の変化を示した図である。

【図 1 6】

ワードドライバおよびメモリセルの回路構成を示した図である。

【図 1 7】

ワードドライバおよびメモリセルのウエルの構造を示した図である。

【図 1 8】

書き込み時のメモリセル内の各ノードの電位を示した図である。

【図 1 9】

実施例3における電源線sslとその制御信号の電位の状態を示した図である。

【図 2 0】

実施例3における電源線とその制御信号の電位の状態を示した図である。

【図 2 1】

実施例4におけるSRAM回路の回路構成および電源構成の概略図である。

【符号の説明】

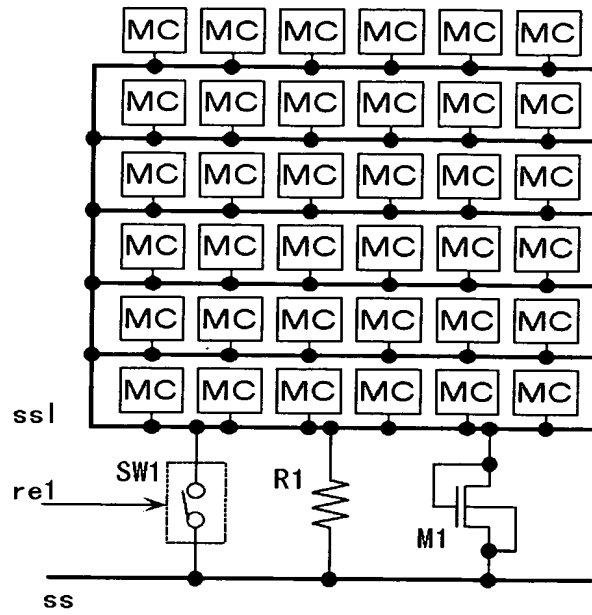
MC, MC1, MC2…メモリセル、 ssl…メモリセル内の駆動MOSのソース線、 Vs
sl…sslの電位、 ss…接地電位線、 Vss…接地電位、 ddl…メモリセル内の
負荷MOSのソース線、 Vddl…ddlの電位、 dd…電源電位線、 Vddl…電源電位
、 bp…pMOSトランジスタの基板、 bn…nMOSトランジスタの基板、 wd…ワー
ド線、 blt, blb…ビット線、 SW1, SW11, SW12…電源スイッチ、 rel…電源ス
イッチの制御信号、 R1, R2, R3, R4, R5, R11, R12…抵抗、 M1, M2, M3, MS11, MS12, MD1
, MD2, MT1, MT2, ML1, ML2, MS1, MS2, MS3, MS4, MS5, MS6…MOSトランジスタ、 standby
…スタンバイ状態、 actice…動作状態、 MA…メモリアレイ、 WDDR…ワード
ドライバを含んだワード線制御回路、 SLSW…スイッチMOS、 AMP…センスアンプ
およびライトアンプを含んだカラム制御回路、 CONT…SRAM制御回路、 DC…ダ

ミーセル、 ddp…ワードドライバ電源線、 ssp…ワードドライバを除いたSRAM
周辺回路の接地電位線、 WDR…ワードドライバ、 DEC…デコーダ、 WA…ライ
トアンプおよびプリチャージ回路、 YS…カラムセクタおよびYスイッチ、 S
A…センスアンプ、 actm, actw, actp…電源線制御信号、 non access…メモリセ
ルにアクセスしていない状態、 access…メモリセルにアクセスしている状態、
n-well…nウエル、 p-well…pウエル、 node1, node2…メモリセル内データ
保持ノード、 write…書き込み状態、 read…読みだし状態、 nop…メモリセ
ルにアクセスしていない状態。

【書類名】 図面

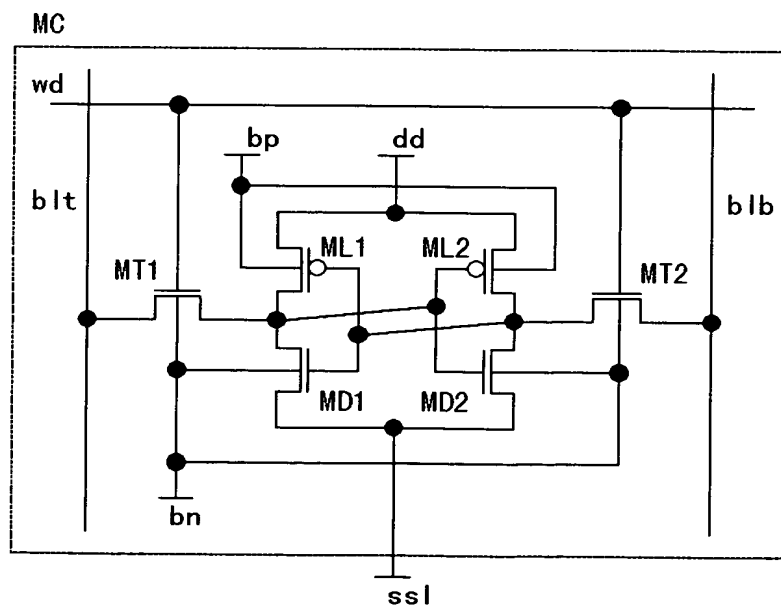
【図 1】

図 1



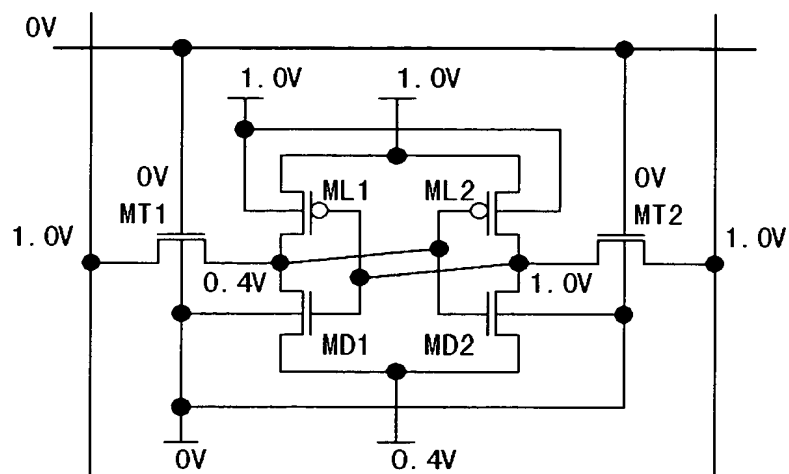
【図 2】

図 2



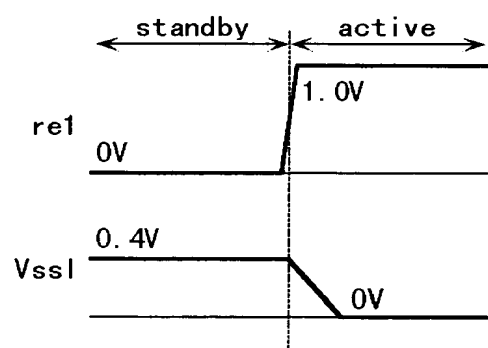
【図 3】

图 3



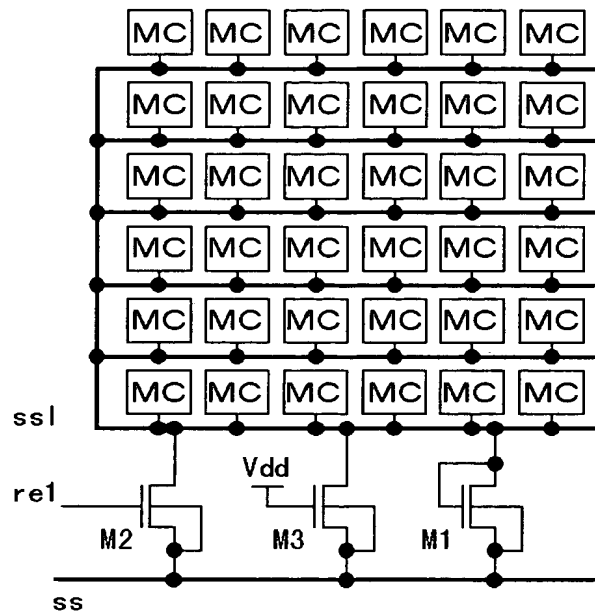
【図 4】

图 4



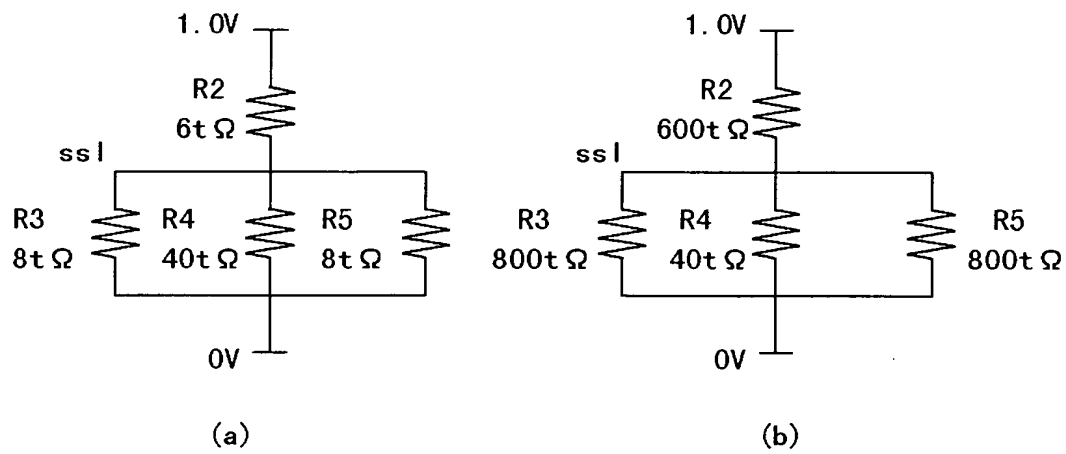
【図 5】

図 5



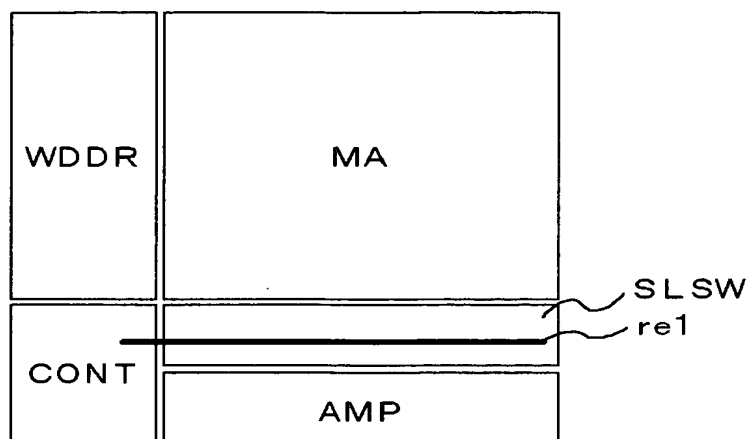
【図 6】

図 6



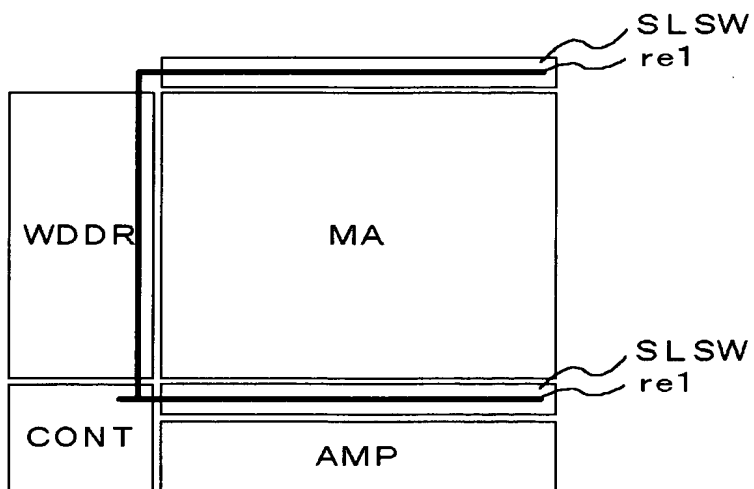
【図 7】

図 7



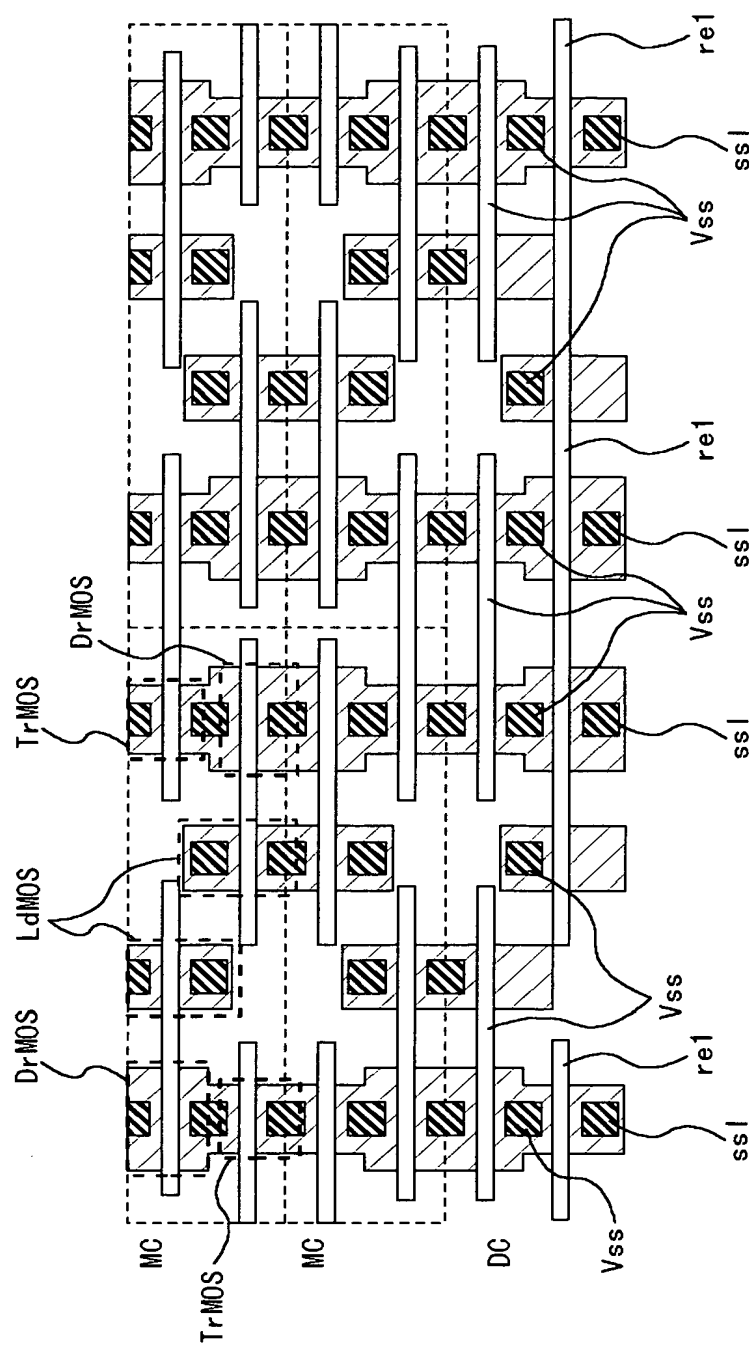
【図 8】

図 8



【図 9】

図 9



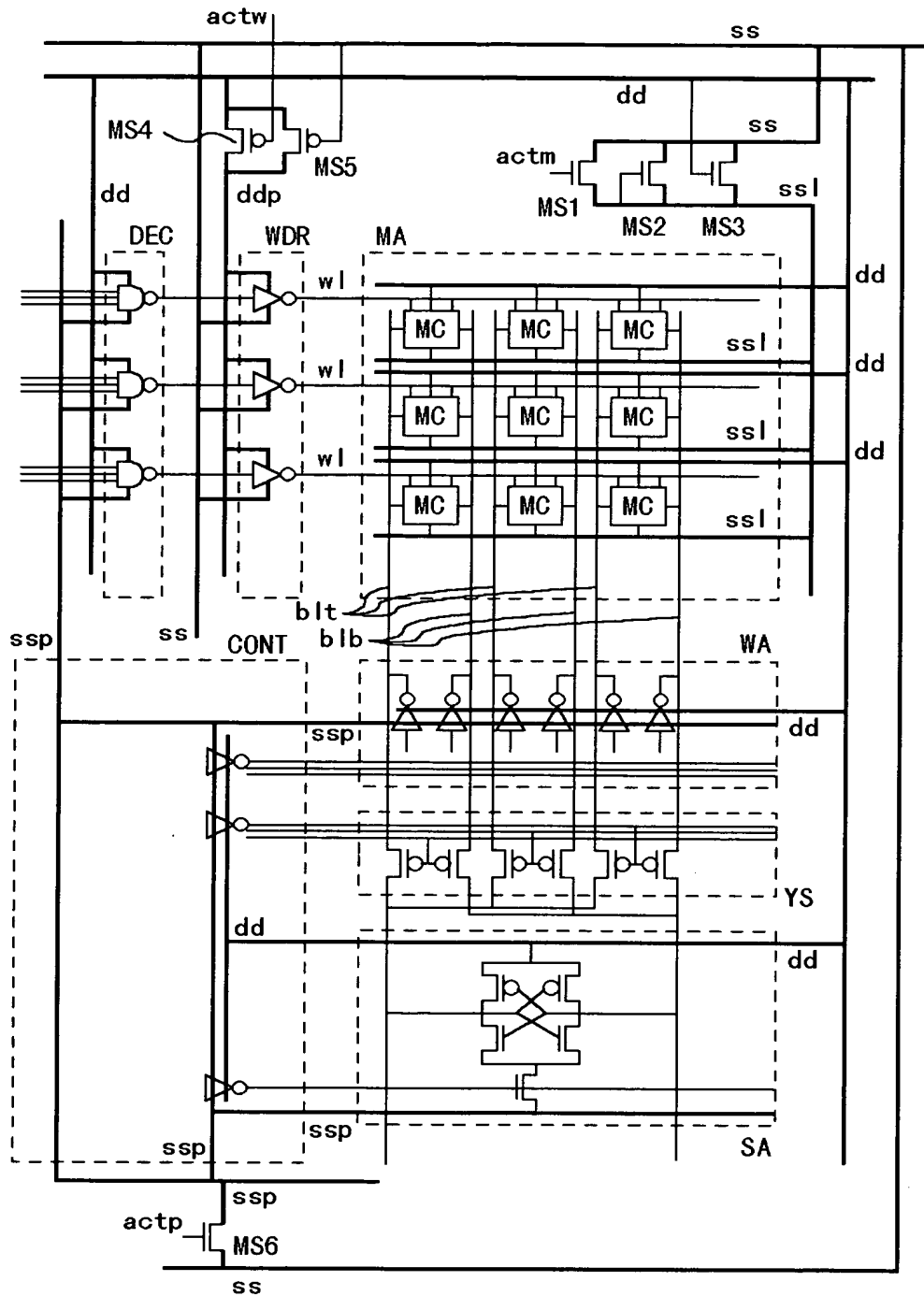
【図 1 0】

図 10

	MT 1, MT 2	MD 1, MD 2	ML 1, ML 2	I_{vt}/h_{vt}
case1	0.50	0.50	0.50	0.40/0.50
case2	0.50	0.50	0.70	0.40/0.50
case3	0.50	0.60	0.70	0.40/0.50
case4	0.40	0.50	0.70	0.40/0.50

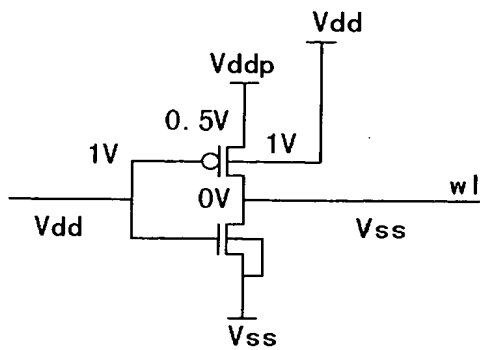
【図 11】

図 11



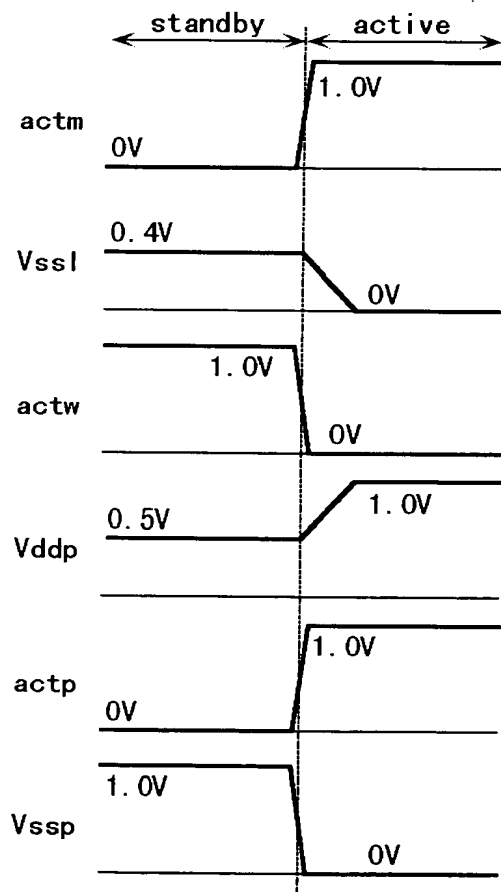
【図 12】

図 12



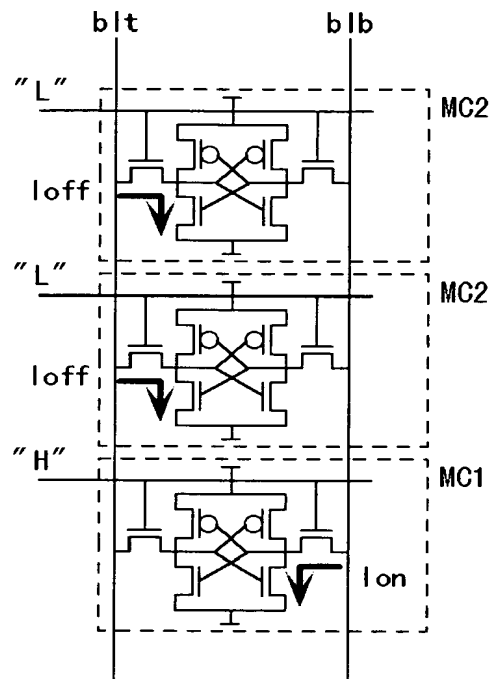
【図 13】

図 13



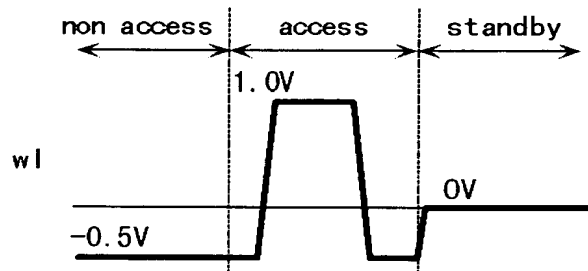
【図 14】

図 14



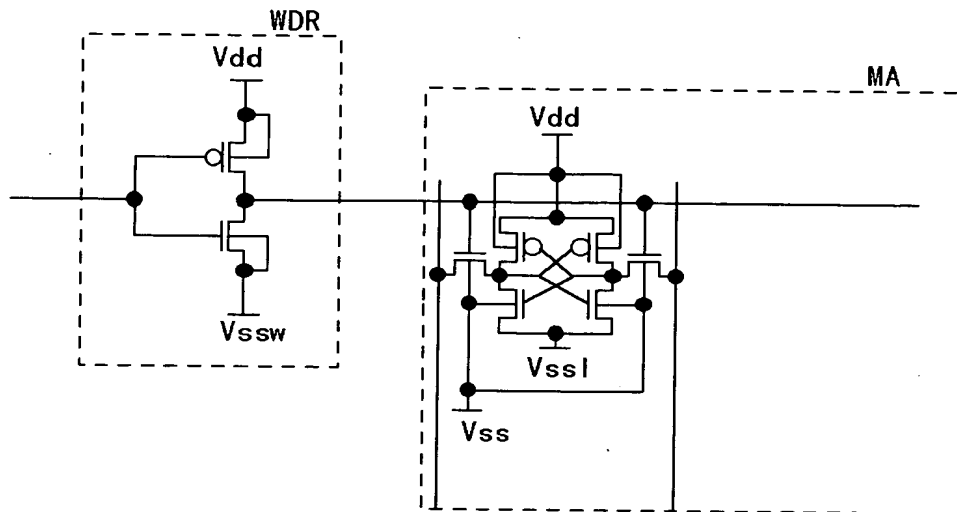
【図 15】

図 15



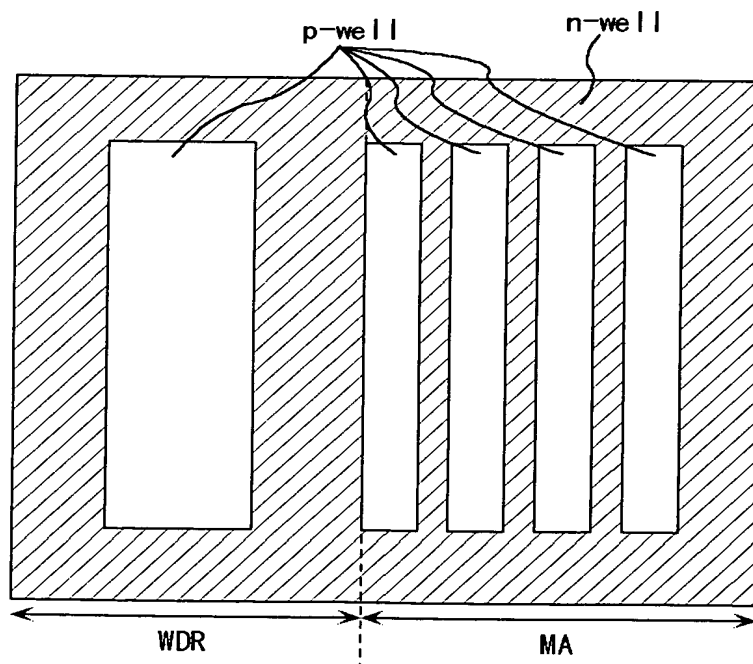
【図 16】

図 16



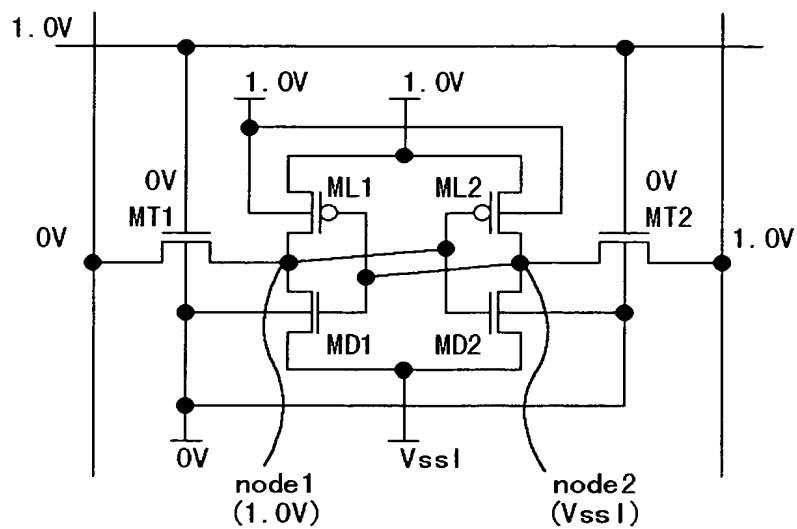
【図 17】

図 17



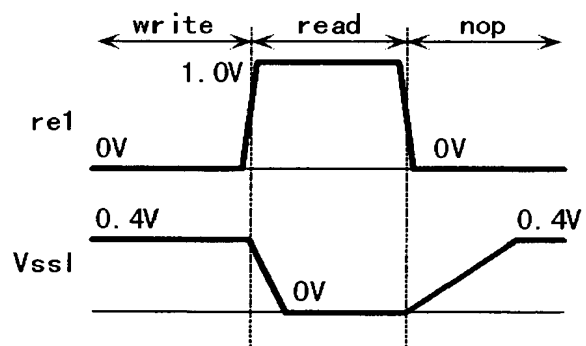
【図 18】

図 18



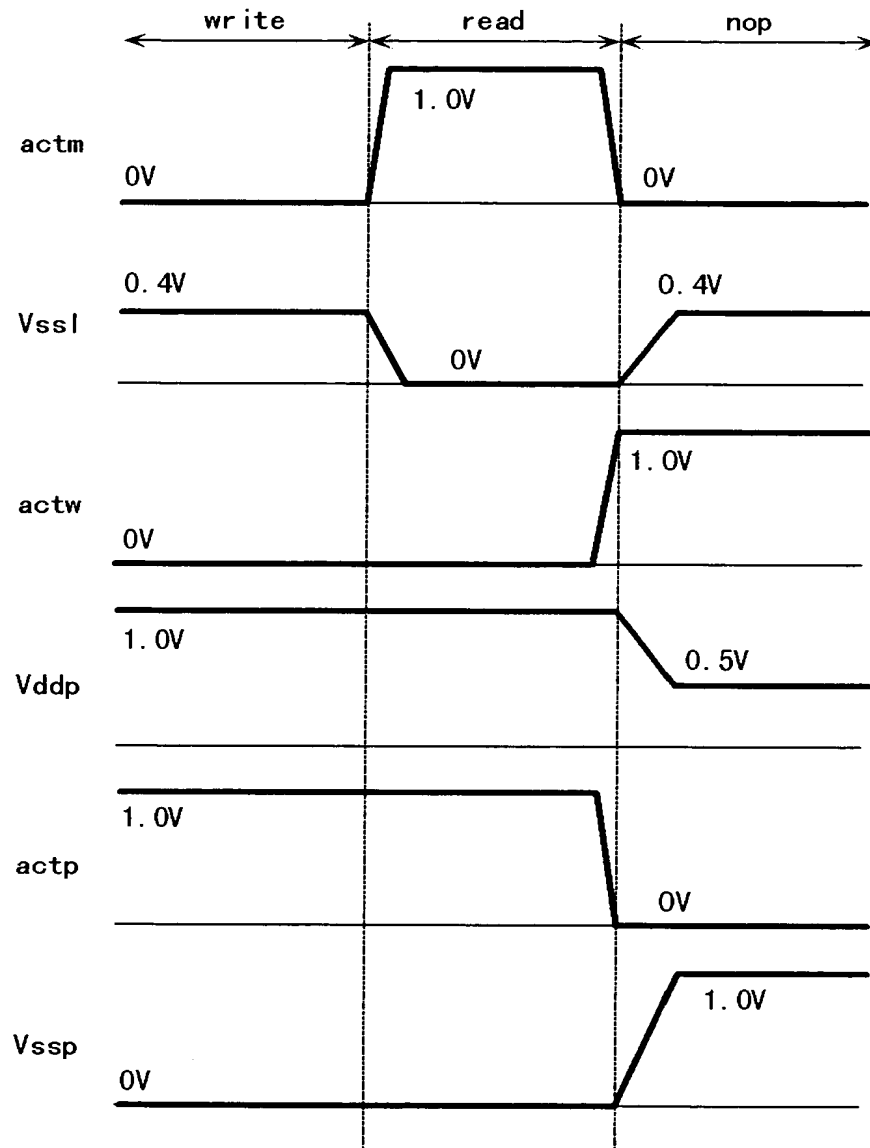
【図 19】

図 19



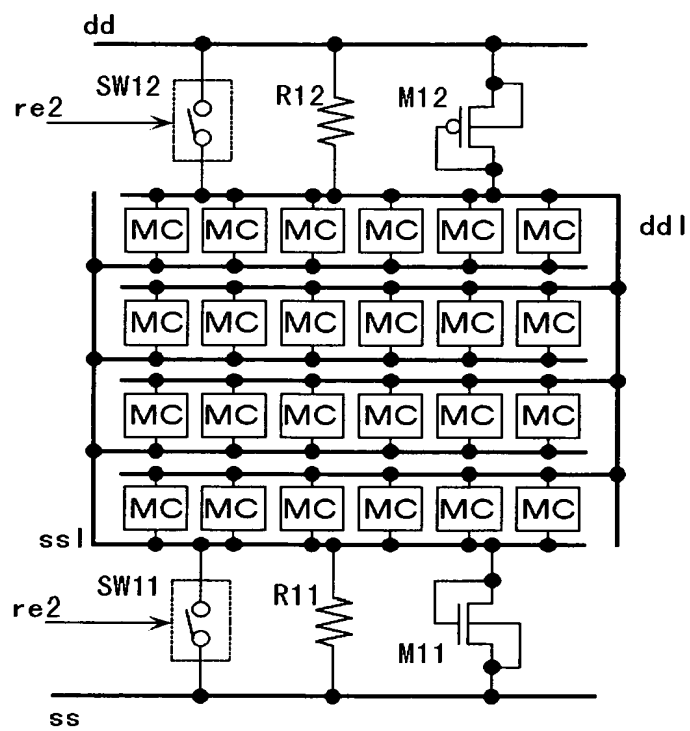
【図 20】

図 20



【図 21】

図 21



【書類名】 要約書

【要約】

【課題】

低電圧でSRAM回路を動作させるために構成するトランジスタのしきい値電圧を下げると、トランジスタのリーク電流の増加により、データを記憶しながら動作していない状態での消費電力が増加するという問題がある。

【解決手段】

SRAMメモリセルMC内の駆動MOSトランジスタのソース線sslの電位を制御することでメモリセル内のMOSトランジスタのリーク電流を低減する。

【選択図】 図1

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-371751

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【提出物件の目録】

【包括委任状番号】 0308735

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 4 - 3 2 1 7 5 6 号 同日提出の出願人
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願2002-371751
受付番号	50301249838
書類名	出願人名義変更届（一般承継）
担当官	末武 実 1912
作成日	平成15年 9月 2日

<認定情報・付加情報>

【提出日】	平成15年 7月29日
-------	-------------

特願 2 0 0 2 - 3 7 1 7 5 1

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1 . 変 更 年 月 日

1 9 9 0 年 8 月 3 1 日

[変 更 理 由]

新 規 登 録

住 所

東 京 都 千 代 田 区 神 田 駿 河 台 4 丁 目 6 番 地

氏 名

株 式 会 社 日 立 製 作 所

特願 2 0 0 2 - 3 7 1 7 5 1

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ